

LUCILIA CAMARAO DE FIGUEIREDO -

SISTEMA DE GERAÇÃO DE CODIGO OTIMIZADO

PARA PROCESSADORES DA FAMILIA

INTEL 8086/8088

Dissertação apresentada ao Instituto de Ciências Exatas da Universidade Federal de Minas Gerais, como requisito parcial para obtenção do título de Mestre em Ciência da Computação.

BELO HORIZONTE - MG

DEZEMBRO - 1985



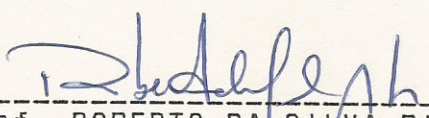
UNIVERSIDADE FEDERAL DE MINAS GERAIS

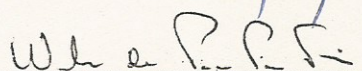
FOLHA DE APROVAÇÃO

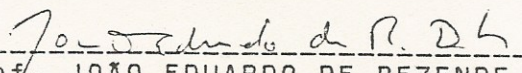
SISTEMA DE GERAÇÃO DE CÓDIGO PARA PROCESSADORES DA FAMÍLIA
INTEL 8086/8088

LUCILIA CAMARÃO DE FIGUEIREDO

Dissertação defendida e aprovada pela banca examinadora
constituída pelos Senhores:


Prof. ROBERTO DA SILVA BIGONHA


Prof. WILSON DE PÁDUA PAULA FILHO


Prof. JOÃO EDUARDO DE REZENDE DANTAS

Belo Horizonte, 20 de dezembro de 1985.

Ass. Roberto

Ass. Wilson

Ass. Prof. Roberto Bigonha

AGRADECIMENTOS

Ao Prof. Roberto da Silva Bigonha, pela orientação acadêmica,
pelo estímulo e por sua dedicação.

Ao Juarez Melo Saboia, pela paciência e capricho com que
digitou este texto.

A Maria Bigonha, pela sua amizade e seu incentivo.

A todos, enfim, que de alguma forma contribuíram para a
realização deste trabalho.

Ao Rogério

Aos meus pais

Ao Prof. Roberto Bigonha

AGRADECIMENTOS

Ao Prof. Roberto da Silva Bigonha, pela orientação acadêmica, pelo estímulo e por sua dedicação.

Ao Juarez Melo Bambirra, pela paciência e capricho com que digitou este texto.

A Mariza Bigonha, pela sua amizade e seu incentivo.

A todos, enfim, que de alguma forma contribuíram para a realização deste trabalho.

SINOPSE

Este trabalho apresenta a arquitetura e o conjunto de instruções de uma máquina abstrata de pilha, projetado para servir como linguagem intermediária, na tradução de linguagens fonte algébricas para linguagem de máquina de processadores da família INTEL 8086/8088. Descreve também a implementação de um gerador de código para o processador INTEL 8086, a partir de instruções desta linguagem intermediária, apresentando a estratégia de geração de código adotada e alguns tipos de otimização introduzidas.

1. INTRODUÇÃO	1
1.1. Problema a ser resolvido	1
2. MÁQUINA ABSTRATA MAP	17
2.1. Arquitetura	17
2.2. Implementação de procedimentos	23
2.3. Endereçamento de variáveis	29
2.4. Implementação de "labels" e "gotos"	31
2.5. Tabela de instruções MAP	34
2.6. Interpretador de MAP	41
2.7. Avaliação	61
3. MÁQUINA ALVO INTEL 8086/8087	68
3.1. Processador INTEL 8086	68
3.2. Coprocessador INTEL 8087	71
4. GERADOR DE CÓDIGO	77
4.1. Mapeamento MAP x INTEL 8086/8087	77
4.2. Arquivos	91
4.3. Estruturas de dados	94
4.4. Procedimentos básicos	102
4.5. Tradução das instruções MAP	117
4.6. Otimizações	127
5. AVALIAÇÃO E CONCLUSÕES	133
6. BIBLIOGRAFIA	136

SUMARIO

1. METODOLOGIA DE CONSTRUÇÃO DE COMPILADORES.....	1
1.1. Introdução.....	1
1.2. Problema a ser resolvido.....	2
1.3. Conteúdo da dissertação.....	3
2. LINGUAGEM INTERMEDIARIA.....	4
2.1. Justificativa para a escolha do tipo de linguagem.....	4
2.2. Características gerais da MAP.....	5
2.3. Considerações sobre o projeto da linguagem LMAP.....	6
3. ESTRATEGIA DE GERAÇÃO DE CÓDIGO.....	9
3.1. Descrição.....	9
3.2. Vantagens.....	12
3.3. Problemas.....	13
4. MAQUINA ABSTRATA MAP.....	17
4.1. Arquitetura.....	17
4.2. Implementação de procedimentos.....	23
4.3. Endereçamento de variáveis	29
4.4. Implementação de "labels" e "gotos".....	33
4.5. Tabela de instruções LMAP.....	34
4.6. Interpretador da MAP.....	41
4.7. Avaliação.....	63
5. MAQUINA ALVO INTEL 8086/8087.....	68
5.1. Processador INTEL 8086.....	68
5.2. Coprocessador INTEL 8087.....	73
6. GERADOR DE CÓDIGO.....	77
6.1. Mapeamento MAP x INTEL 8086/8087.....	77
6.2. Arquivos.....	91
6.3. Estruturas de dados.....	94
6.4. Procedimentos básicos.....	102
6.5. Tradução das instruções LMAP	117
6.6. Otimizações.....	137
7. AVALIAÇÃO E CONCLUSOES.....	142
BIBLIOGRAFIA.....	146

LISTA DE FIGURAS

Figura 4.1 - Organização de memória da MAP.....	17
Figura 4.2 - Registradores base de código e base de dados	20
Figura 4.3 - <i>Formato de inteiros e reais na MAP.....</i>	22
Figura 4.4 - Registro de ativação de procedimento na MAP.....	24
Figura 5.1 - Registradores e flags do 8086.....	69
Figura 5.2 - Registradores do 8087.....	74
Figura 5.3 - Tipos de dados do 8087.....	75
Figura 6.1 - Mapeamento MAP x 8086	77
Figura 6.2 - Mapeamento de registradores MAP x 8086.....	79
Figura 6.3 - Inicialização de SS e SP - caso 1.....	81
Figura 6.4 - Ativação de procedimento - caso 1.....	81
Figura 6.5 - Inicialização de SS e SP - caso 2.....	82
Figura 6.6 - Ativação de procedimento - caso 2.....	82
Figura 6.7 - Extensão da pilha aritmética	85
Figura 6.8 - Arquivos do gerador de código.....	91